

PATENT
0630-1296P

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: Myoung Goo LEE; Hong Bae PARK Conf.:
Appl. No.: NEW Group:
Filed: December 28, 2001 Examiner:
For: ELECTROSTATIC DISCHARGE PROTECTION
CIRCUIT



*#3
Priority
Huber
2-1902*

L E T T E R

Assistant Commissioner for Patents
Washington, DC 20231

December 28, 2001

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55(a), the applicant(s) hereby claim(s) the right of priority based on the following application(s):

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
KOREA	87294/2000	December 30, 2000

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 02-2448 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

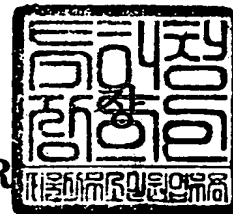
BIRCH, STEWART, KOLASCH & BIRCH, LLP

By 
Joseph A. Kolasch, #12,463

P. O. Box 747
Falls Church, VA 22040-0747
(703) 205-8000

JAK/JES:sld
0630-1296P

Attachment



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0013
【제출일자】	2000.12.30
【국제특허분류】	H01L 27/10
【발명의 명칭】	E S D 보호회로
【발명의 영문명칭】	ELECTROSTATIC DISCHARGE(ESD) PROTECTION CIRCUIT
【출원인】	
【명칭】	현대전자산업 주식회사
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	박장원
【대리인코드】	9-1998-000202-3
【포괄위임등록번호】	1999-057677-7
【발명자】	
【성명의 국문표기】	이명구
【성명의 영문표기】	LEE, Myung Goo
【주민등록번호】	691122-1400318
【우편번호】	361-480
【주소】	충청북도 청주시 흥덕구 향정동 50번지 현대반도체 남자기 숙사 B동 9 18호
【국적】	KR
【발명자】	
【성명의 국문표기】	박홍배
【성명의 영문표기】	PARK, Hong Bae
【주민등록번호】	700119-1823118
【우편번호】	361-480
【주소】	충청북도 청주시 흥덕구 향정동 50번지 현대반도체 남자기 숙사 B동 9 18호
【국적】	KR
【심사청구】	청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박장원 (인)

【수수료】

【기본출원료】 12 면 29,000 원

【가산출원료】 0 면 0 원

【우선권주장료】 0 건 0 원

【심사청구료】 11 항 461,000 원

【합계】 490,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 NMOS트랜지스터로 구성된 ESD보호회로에 있어서, 입/출력 패드와 기판사이에 복수의 다이오드들을 직렬 연결한 후 상기 마지막 다이오드의 N형노드를 NMOS트랜지스터의 벌크(기판)에 접속한다. 따라서, ESD 스트레스 입력시 상기 다이오드들의 순방향 동작에 의하여 NMOS트랜지스터의 벌크전위를 조절함으로써 NMOS트랜지스터의 게이트산화막에 높은 전압이 인가되는 것을 방지할 수 있다.

【대표도】

도 3

【명세서】**【발명의 명칭】**

E S D 보호회로{ELECTROSTATIC DISCHARGE(ESD) PROTECTION CIRCUIT}

【도면의 간단한 설명】

도 1은 종래의 ESD 보호회로의 레이아웃.

도 2는 도 1에 도시된 ESD 보호회로의 레이아웃을 나타낸 도면.

도 3은 본 발명에 따른 ESD 보호회로.

도 4는 도 3에 도시된 ESD 보호회로의 레이-아웃을 나타낸 도면.

*** 도면의 주요 부분에 대한 부호의 설명 ***

10 : 패드 12 : 내부회로

N1,N2 : NMOS트랜지스터 B1 : 기생 바이폴라 트랜지스터

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <8> 본 발명은 반도체 집적회로의 ESD(Electrostatic discharge)보호회로에 관한 것이다.
- <9> 도 1은 NMOS트랜지스터로 구성된 종래의 ESD보호회로이다.
- <10> 도 1에 도시된 바와같이, NMOS트랜지스터(N1)의 드레인은 패드(입력 또는 출력패드)(10)에 접속되고 소스는 접지(Vss)에 접속된다. 그리고, 게이트는 ESD보호회로로만 사용될 경우에는 Vss에 접속되며, 구동 트랜지스터로 사용될 경우에는 풀 다운 인버터에 접속된다.

- <11> 상기 NMOS트랜지스터(N1)는 기생 바이폴라 트랜지스터(B1)을 포함하고 있다. 기생 바이폴라 트랜지스터(B1)는 NMOS트랜지스터(N1)의 드레인과 소스로부터 각각 형성된 콜렉터 및 에미터와 NMOS트랜지스터(N1)의 기판으로부터 형성된 베이스로 구성되며, 상기 베이스는 접지(V_{ss})에 접속된다.
- <12> 또한, 패드(10)는 저항(R)을 통하여 내부회로(12)에 접속되며, 저항(R)의 일측단자와 접지(V_{ss})사이에는 게이트와 소스가 공통 접속되고, 기생 바이폴라 트랜지스터를 포함하고 있는 NMOS트랜지스터(N2)가 접속된다. 이때, 저항(R)은 NMOS트랜지스터(N2)로 흐르는 ESD전류를 감소시키는 역할을 수행하며, NMOS트랜지스터(N2)는 NMOS트랜지스터(N1)에 의해 제거되지 않은 ESD 스트레스를 제거하는 역할을 수행한다.
- <13> 도 2는 도 1에 도시된 종래의 ESD보호회로의 레이아웃이다.
- <14> 이와같이 구성된 종래의 ESD보호회로의 동작을 설명하면 다음과 같다.
- <15> 일반적으로 ESD보호회로로 사용되는 NMOS트랜지스터는 기생 바이폴라동작에 의하여 ESD 스트레스(stress)를 제거한다.
- <16> 제2도에 도시된 바와같이, ESD 스트레스가 패드에 인가되면 NMOS트랜지스터(N1)의 드레인에 높은 전압이 걸린다. 드레인에 높은 전압이 걸리면 소스영역($n+$)과 기판($p+$)사이의 접합 브레이크다운(Junction Breakdown)에 의해 홀(hole)이 기판으로 방출된다. 이때, 홀전류가 소스영역의 $n+$ 와 $p+$ 기판간의 전위장벽인 0.7V를 극복할 수 있을 만큼 전압강하를 일으키면 소스의 전자가 드레인으로 이동하게 된다.
- <17> 이때는 바이폴라 트랜지스터(B1)가 턴온되는 시점으로 이때의 전압을 트리거링(Triggering)전압이라고 한다.

<18> 그런데, 상기 NMOS트랜지스터(N1)의 트리거링전압은 서브마이콘(Submicron) 기술에서 약 7V정도가 된다. 따라서, 트리거링전압이 게이트산화막의 브레이크다운전압($\sim 5.5V$)보다 높게 되어 게이트 산화막에 손실(Damage)을 주게되는 문제점이 있었다.

【발명이 이루고자 하는 기술적 과제】

<19> 따라서, 본 발명의 목적은 반도체 제품의 ESD 면역성(Immunity)를 증가시키기 위한 ESD 보호회로를 제공하는데 있다.

<20> 상기와 같은 목적을 달성하기 위하여 본 발명에 따른 ESD보호회로는 NMOS트랜지스터로 구성된 ESD보호회로에 있어서, 입/출력 패드와 기판사이에 복수의 다이오드들을 직렬 연결한 후 상기 마지막 다이오드의 N형노드를 NMOS트랜지스터의 벌크(기판)에 접속한다.

<21> 상기와 같은 목적을 달성하기 위하여 본 발명에 따른 ESD보호회로는 입/출력 드와 NMOS 트랜지스터의 기판사이에 직렬 접속된 복수의 다이오드와; 입/출력 패드와 기판사이에 접속되며, 베이스가 상기 마지막 다이오드의 출력단자에 접속된 기생 바이폴라 트랜지스터를 갖는 NMOS트랜지스터로 구성되며, 상기 다이오드의 개수는 칩의 정상동작시에 다이오드를 통하여 전류가 흐르지 않도록 설정된다.

【발명의 구성 및 작용】

<22> 이하, 본 발명의 바람직한 실시예를 도면을 참조하여 설명하면 다음과 같다.

<23> 도 3는 본 발명에 따른 ESD보호회로의 레이아웃이다.

<24> 도 3에 도시된 바와같이 본 발명에 따른 ESD보호회로는 제1도에 도시된 종래의 ESD보호회로에 부가하여, 패드와 기생 바이폴라 트랜지스터(B1)사이에 복수의 다이오드를 접속

하고, 직렬 접속된 다이오드중에서 마지막 다이오드는 기판에 접속한다. 제4도에 도시된 바와같이, PN다이오드(D1)의 p+접합을 패드와 접속하고, n+접합은 또 다른 다이오드(D2)의 p+접합에 연결한다. 그리고, 마지막 다이오드(Dn)의 n+접합을 P형 기판에 접속한다.

<25> 또한, 본 발명은 NMOS트랜지스터(N1)의 기판(벌크)가 다이오드의 순방향 동작에 의해 전위(Potential)가 조절될 수 있도록, 다이오드의 출력노드를 NMOS트랜지스터(N1)의 벌크(Bulk)에 접속한다. 이때, 다이오드는 패드와 접지(Vss)사이에 순방향으로 직렬 접속되며, 상기 직렬 형태의 다이오드는 여러개의 병렬 구조로 연결할 수 있다. 또한, 연결되는 다이오드의 수는 칩의 정상 동작에서 다이오드를 통하여 전류가 흐르지 않도록 조절된다.

<26> 그리고, 종래와 동일하게 NMOS트랜지스터(N1)의 드레인은 패드(입력 또는 출력패드)에 접속되고 소스는 접지(Vss)에 접속되며, 게이트는 Vss 또는 풀 다운 인버터에 접속된다. 이때, 미설명 부호 Rsub는 기판저항이다.

<27> 이와같이 구성된 본 발명에 따른 ESD보호회로의 동작은 다음과 같다.

<28> ESD 스트레스가 패드(10)에 인가되면 NMOS트랜지스터(N1)의 드레인과 다이오드(D1)에 동시에 높은 전압이 걸리게 된다. 이때, 다이오드(D1)들은 순방향으로 접속되어 있기 때문에 만약 전압이 PN접합의 빌트-인(Built-in)전압인 약 0.7V이상이 되면 해당 다이오드(D1)가 턴온된다.

<29> 그런데, 현재 다이오드가 직렬로 연결되어 있기 때문에 노드(A)의 전압은 소정 값(다이오드의 개수 \times 0.7V)만큼 강하되어 기판에 인가된다. 예를들면 5개의 다이오드가 직렬로

연결된 경우 노드(B)에 걸리는 전압은 노드(A)에 걸리는 전압에서 3.5V를 감산한 값이 된다. 따라서, 패드에 3.5V이상의 전압이 걸리면 다이오드들이 모두 턴온되어 기판의 전위(Potential)가 높아지게 되며, 기판의 전위가 높아지면 소스와 기판사이에 전압강하(0.7V)가 용이하게 된다.

<30> 이것은 낮은 전압에서도 바이폴라 트랜지스터(B1)의 트리거링이 일어날 수 있다는 것을 의미하며, 낮은 전압에서 바이폴라 트랜지스터(B1)가 턴온되면 게이트 산화막에 걸리는 전압이 감소하여 게이트 산화막에 미치는 영향도 감소하게 된다.

<31> 또한, 본 발명과 같이 NMOS트랜지스터(N1)의 가판에 전위를 인가하여 측정하는 경우 종래 ESD성능을 나타내는 제2브레이크다운 전류(I_{t2} 값)이 더욱 높은 값을 나타낸다.

<32> 이와같이, 본 발명은 NMOS트랜지스터의 기생 바이폴라 트랜지스터가 종래 기술보다 낮은 전압에서 턴온되도록 함으로써 ESD성능을 향상시킨다.

<33> 그리고, 본 발명에서 선행된 실시예들은 단지 한 예로서 청구범위를 한정하지 않으며, 여러가지의 대안, 수정 및 변경들이 통상의 지식을 갖춘자에게 자명한 것이 될 것이다.

【발명의 효과】

<34> 상술한 바와같이, 본 발명은 ESD 스트레스가 입력되었을 때 낮은 전압에서 보호회로를 턴온시켜 ESD전류를 션트(Shunt)시킴으로써 게이트산화막에 높은 전압이 인가되는 것을 방지하며, I_{t2} 의 크기(magnitude)를 증가시켜 ESD성능을 향상시킬 수 있는 효과가 있다.

【특허청구범위】**【청구항 1】**

입/출력 패드와 접지사이에 접속되며, 기생 바이폴라 트랜지스터를 갖는 NMOS트랜지스터와;

입/출력 패드와 NMOS트랜지스터의 벌크사이에 접속된 다이오드로 구성된 것을 특징으로 하는 ESD 보호회로.

【청구항 2】

제1항에 있어서, 상기 다이오드의 출력단자는

기생 바이폴라 트랜지스터의 베이스에 접속되는 것을 특징으로 하는 ESD 보호회로.

【청구항 3】

제1항에 있어서, 상기 다이오드는

PN다이오드인 것을 특징으로 하는 ESD 보호회로.

【청구항 4】

제1항에 있어서, 상기 다이오드는

적어도 하나 이상인 것을 특징으로 하는 ESD 보호회로.

【청구항 5】

제4항에 있어서, 상기 다이오드의 갯수는

칩의 정상동작시 다이오드를 통하여 전류가 흐르지 않도록 조절되는 것을 특징으로 하는 ESD 보호회로.

【청구항 6】

제4항에 있어서, 상기 다이오드들을
순방향으로 직렬 접속되는 것을 특징으로 하는 ESD 보호회로.

【청구항 7】

제4항에 있어서, 첫 번째 다이오드의 p+접합과 n+접합은 입/출력 패드 및 다음 다이오드의 p+접합에 각각 접속되며, 마지막 다이오드의 n+접합은 기판에 접속되는 것을 특징으로 하는 ESD 보호회로.

【청구항 8】

입/출력패드와;

입 /출력 패드와 NMOS트랜지스터의 기판사이에 직렬 접속된 복수의 다이오드와;

입/출력 패드와 기판사이에 접속되며, 베이스가 상기 마지막 다이오드의 출력단자에 접속된 기생 바이폴라 트랜지스터를 갖는 NMOS트랜지스터로 구성된 것을 특징으로 하는 ESD 보호회로.

【청구항 9】

제8항에 있어서, 상기 기판은
P형 기판이며, 접자에 접속되는 것을 특징으로 하는 ESD 보호회로.

【청구항 10】

제8항에 있어서, 상기 다이오드는
PN다이오드인 것을 특징으로 하는 ESD 보호회로.

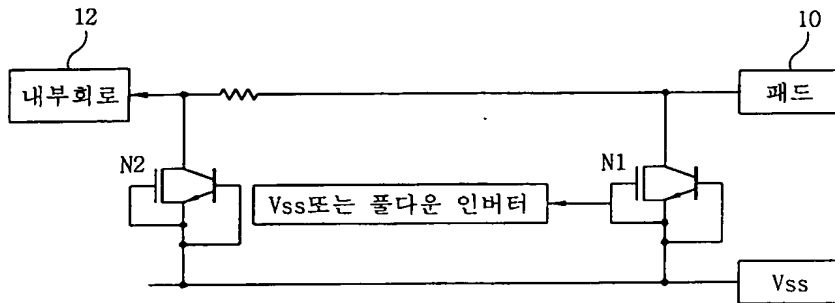
【청구항 11】

제8항에 있어서, 상기 다이오드의 갯수는

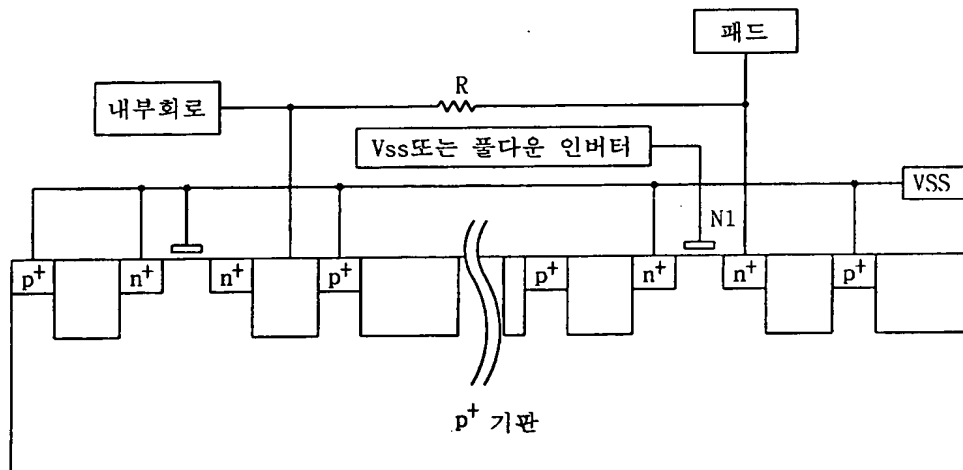
칩의 정상동작시 다이오드를 통하여 전류가 흐르지 않도록 조절되는 것을 특징으로 하는
ESD 보호회로.

【도면】

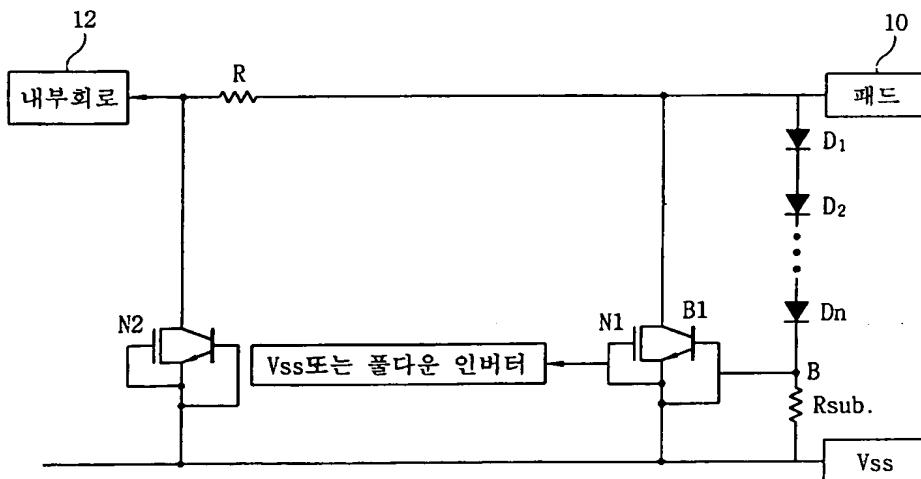
【도 1】



【도 2】



【도 3】



【도 4】

